

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATTERN FORMING METHOD OF TRANSPARENT ELECTRODE

PUB. NO.: 63-100777 [JP 63100777 A]

PUBLISHED: May 02, 1988 (19880502)

INVENTOR(s): NASU YASUHIRO KAWAI SATORU OKI KENICHI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation),
JP(Japan)

APPL. NO.: 61-246547 [JP 86246547]

FILED: October 16, 1986 (19861016)

ABSTRACT PURPOSE:

To obtain a transparent electrode pattern, through which breakdown and a defective contact are not generated, by a method wherein a substrate is kept at 200 deg.C or more, the film formation of an InSn oxide is started through an ion plating method, the film of the oxide is formed, while lowering the temperature of the substrate gradually, and a predetermined electrode pattern is shaped through photoetching.

CONSTITUTION:

An ITO film 2 is formed onto a glass substrate 1 through an ion plating method, while lowering the temperature of the substrate 1 gradually from a temperature of 200 deg.C or more. The ITO film 2 is etched, using a resist pattern 3 as a mask, and the resist pattern 3 is removed. A drain electrode 2-1 and a source electrode 2-2 consisting of the ITO film are shaped, and an a-Si film 4, an SiN film 5 and a gate electrode 6 are formed, thus acquiring a thin-film Tr.

□ VI L 29/18	3 1 1	P - 8422-5F
G 09 F 9/30	3 3 8	C - 6866-5C
H 01 B 13/00	H C B	D - 8222-5E
H 01 L 21/28		N - 7638-5F
	21/88	F - 6708-5F
	27/12	7514-5F

審査請求 未請求 発明の数 1 (全4頁)

②発明の名称 透明電極のパターン形成法

②特 願 昭61-246547

②出 願 昭61(1986)10月16日

③発明者 那須 安宏 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

③発明者 川井 哲 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

③発明者 沖 賢一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内

④出願人 富士通株式会社

⑤代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

透明電極のパターン形成法

2. 特許請求の範囲

(1) 基板上にインジウム錫酸化物の電極パターンを形成するに際し、前記基板を200℃以上に保ちイオンプレーティング法にて前記インジウム錫酸化物の成膜を開始し漸次該基板の温度を降下しながら成膜を行い、その後に前記インジウム錫酸化物頭をフォトエッチングによって所定の電極パターンに形成することを特徴とする透明電極のパターン形成法。

(2) 前記電極パターンを形成した基板を200℃以上で熱処理することを特徴とする特許請求の範囲第1項記載の透明電極のパターン形成法。

(3) 前記インジウム錫酸化物の電極が薄膜トランジスタのソース・ドレイン電極であることを特徴とする特許請求の範囲第1項及び第2項記載の透明電極のパターン形成法。

3. 発明の詳細な説明

(概要)

液晶表示素子を駆動する薄膜トランジスタに用いられる透明電極のパターン形成法において、電極間の短絡及び電極の接続不良を防止するために、基板に透明電極となるインジウム錫酸化物をイオンプレーティング法にて成膜する際、当該基板を200℃以上の温度から漸次降下することにより、テーパーエッジ形状の透明電極パターンを形成する。

(産業上の利用分野)

この発明は、液晶表示素子を駆動する薄膜トランジスタの透明電極のパターン形成法に関するものである。

液晶表示素子の薄膜トランジスタは、マトリックス配列された液晶表示素子を駆動している。従って、薄膜トランジスタの透明電極は基板上にて多数交叉している。若しこの交叉点の1箇所でも短絡すると、交叉点を通過する配線が線欠陥状態

-バ形状が得られる。

此のITO膜よりなる透明電極すなわちドレイン電極2-1とソース電極2-2とのパターンを形成した後、第1図(d)の工程で従来のようにa-Si層4とSiN_x層5とゲート電極6を順次形成する。

(効果)

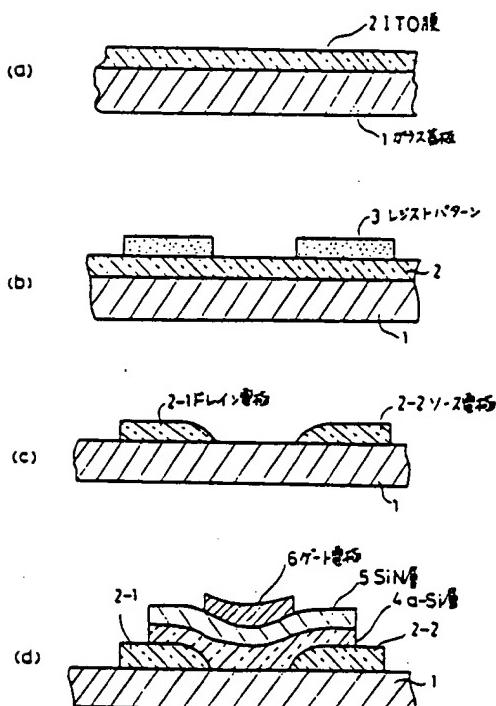
以上の説明から明らかなように、この発明によれば、テーパー形状を持つパターンングされたITO膜をソースとドレイン電極とすることでき、短絡防止が図れるとともにコンタクト状態が向上し高品質の薄膜トランジスタを作製する上で効果を發揮する。

段のエッティングレートと温度の関係図、

第4図は従来の透明電極のパターン形成の工程図である。

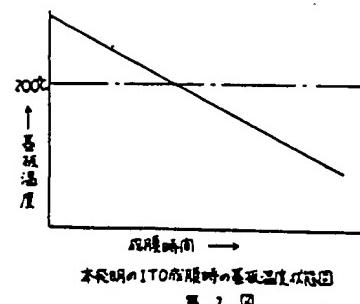
図において1はガラス基板、2はITO膜、3はレジストパターンを示す。

代理人弁理士井桁貞一



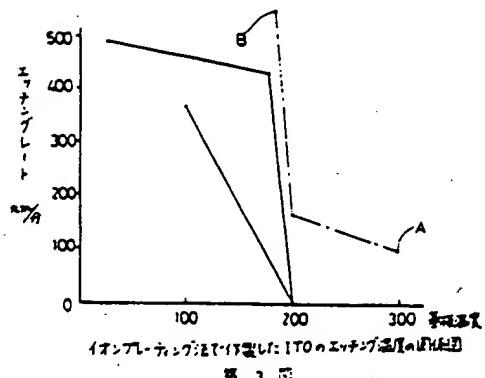
本発明による透明電極のパターン形成法を示す工程図

第1図



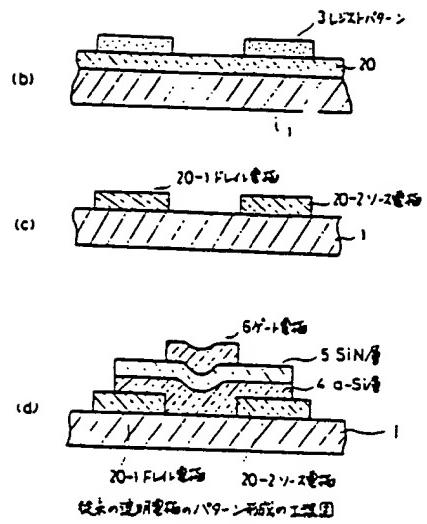
本発明のITO成膜時の最高温度範囲

第2図



イオンプレーティング法で行なったITOのエッティング速度の測定結果

第3図



従来の透明電極のパターン形成の工程図

第4回